

PAT-NO: JP02001210521A
DOCUMENT-IDENTIFIER: JP 2001210521 A
TITLE: CHIP INDUCTOR
PUBN-DATE: August 3, 2001

INVENTOR- INFORMATION:

NAME	COUNTRY
KANETAKA, TOYONORI	N/A
YOSHIZAWA, TOSHIHIRO	N/A
TAOKA, MIKIO	N/A
NAKAYAMA, HIDEAKI	N/A

ASSIGNEE- INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD	N/A

APPL-NO: JP2000015306

APPL-DATE: January 25, 2000

INT-CL (IPC): H01F017/00, H01F027/29

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a chip inductor where an inductance value is high, the structure is simple and reliability is superior.

SOLUTION: The chip inductor has a square rod shaped body 1, comprising as insulating material and a conductor layer 2 on a surface of the body 1, a coil part 4 constituted by providing helically groove cuts on the conductor layer 2, an outer packaging part 5, formed by coating an insulating resin on a surface of the coil part 4 and a electrode part 6 of the coil part 4 which is disposed in both ends of the body 1. In addition, the coil part 4 is constituted from end to the end of the body 1, and the electrode part 6 is disposed in

the
vicinity of both ends of the surface of the insulating resin.

COPYRIGHT: (C)2001,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-210521

(P2001-210521A)

(43)公開日 平成13年8月3日 (2001.8.3)

(51)Int.Cl'

H 01 F 17/00
27/29

識別記号

F I

H 01 F 17/00
15/10

マーク(参考)

G 5 E 0 7 0
B

審査請求 有 請求項の数8 OL (全5頁)

(21)出願番号 特願2000-15306(P2000-15306)

(22)出願日 平成12年1月25日 (2000.1.25)

(71)出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者 金高 豊典

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 吉澤 俊博

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

最終頁に続く

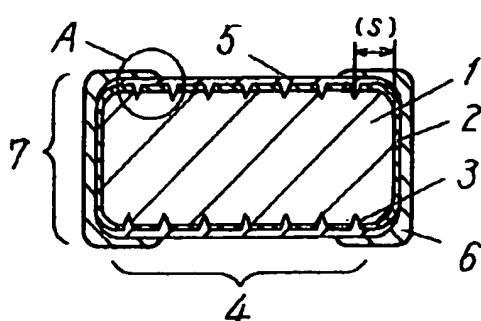
(54)【発明の名称】チップインダクタ

(57)【要約】

【課題】インダクタンス値が多く取れ、構造も簡単で
信頼性に優れたチップインダクタを提供することを目的
としている。

【解決手段】絶縁材料からなる角柱状の本体1と、本
体1の表面の導体層2とを備え、その導体層2に螺旋状
に溝切りを行いコイル部4を構成し、そのコイル部4の
表面に絶縁樹脂を被覆して外装部5を形成し、コイル部
4の電極部6を本体1の両端に配したチップインダクタ
において、コイル部4は本体1の端から端まで構成さ
れ、絶縁樹脂の表面の両端近傍に電極部6を配置した構
成である。

1 本 体 5 外 装 部
2 導 体 層 6 電 極 部
3 溝 切 部 7 端 面
4 コ イ ル 部



【特許請求の範囲】

【請求項1】 絶縁材料からなる柱状の本体と、前記本体の全面を被覆した導体層と、前記本体の外周面の導体層を螺旋状に切削したコイル部と、前記本体の両端部に設けた電極部と、前記コイル部を被覆した絶縁樹脂からなる外装部とを備え、前記本体の端面に前記絶縁樹脂で被覆していない非外装部を設け、前記電極部は、前記非外装部を介して前記導体層と電気的に接続させるとともに、この電極部の外周端は前記コイル部の少なくとも両端部に位置する螺旋状切削部上の外装部上まで延長配置したチップインダクタ。

【請求項2】 コイル部の両端に位置する螺旋状切削部は、本体の端面に近接させた請求項1記載のチップインダクタ。

【請求項3】 導体層は、本体と接触する下層と、前記下層に形成する上層とを有し、前記下層の材料は、銅にするとともに、前記上層の材料は、銅よりも耐酸化性のある物質とした請求項1記載のチップインダクタ。

【請求項4】 耐酸化性のある物質として、金を用いた請求項3記載のチップインダクタ。

【請求項5】 上層の厚さは、下層の厚さの1/20よりも小さくした請求項3記載のチップインダクタ。

【請求項6】 本体のコイル部上に配置した電極部の形成幅は、前記本体の全長の1/3よりも小さくした請求項1記載のチップインダクタ。

【請求項7】 電極部の厚さは、前記電極部に対向する外装部の厚さの0.5倍から1.5倍の間の厚さとした請求項1記載のチップインダクタ。

【請求項8】 本体は四角柱とした請求項1記載のチップインダクタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は電子機器、通信機器等に用いるチップインダクタに関するものである。

【0002】

【従来の技術】 以下、従来のチップインダクタについて図面を参照しながら説明する。

【0003】 従来のチップインダクタとしては、特開平9-55321号に記載されたものが知られている。

【0004】 図5は従来のチップインダクタの斜視図、図6は同チップインダクタの本体の斜視図、図7は同チップインダクタの断面図である。

【0005】 図5～図7において、従来のチップインダクタは、絶縁材料からなる柱状の本体11と、この本体11を被覆した導体層12と、この導体層12を溝切削した溝切部13と、この溝切部13を螺旋状にして形成したコイル部14と、本体11の両端部に有した電極部16と、コイル部14を被覆した絶縁樹脂からなる外装部15とを備えている。

【0006】 また、本体11は、両端部間に段差17を

有して凹部18を設けた形状とし、この凹部18にコイル部14を形成している。

【0007】 さらに、本体11の両端部の端面に絶縁樹脂を被覆していない非外装部を設け、電極部16は、非外装部における導体層12を介して本体11の端面と電気的に接続させた構成である。

【0008】

【発明が解決しようとする課題】 上記従来の構成では、コイル部14の両端に電極部16を形成するので、本体

11の外径寸法を規定すると、電極部16の形成幅の分だけ、コイル部14の形成幅を短くしなければならず、螺旋状に有する溝切部13の長さも、その分だけ制限され、インダクタンス値のカバーレンジが小さくなるという問題点を有していた。

【0009】 本発明は上記問題点を解決するもので、コイル部の幅が電極部の形成幅に左右されず、インダクタンス値のカバーレンジを本体に対して最大限大きくしたチップインダクタを提供することを目的としている。

【0010】

【課題を解決するための手段】 上記目的を達成するためには本発明は、絶縁材料からなる柱状の本体と、前記本体の全面を被覆した導体層と、前記本体の外周面の導体層を螺旋状に切削したコイル部と、前記本体の両端部に設けた電極部と、前記コイル部を被覆した絶縁樹脂からなる外装部とを備え、前記本体の端面に前記絶縁樹脂で被覆していない非外装部を設け、前記電極部は、前記非外装部を介して前記導体層と電気的に接続させるとともに、この電極部の外周端は前記コイル部の少なくとも両端部に位置する螺旋状切削部上まで延長配置した構成である。

【0011】 上記構成により、電極部は、非外装部における導体層を介して本体の端面と電気的に接続させるとともに、外装部を介してコイル部の少なくとも両端部の螺旋状切削部上まで配置しているので、電極部はコイル部上に配置することができ、コイル部の幅が電極部の形成幅に左右されず、インダクタンス値のカバーレンジを本体に対して最大限大きくすることができる。

【0012】

【発明の実施の形態】 本発明の請求項1記載の発明は、絶縁材料からなる柱状の本体と、前記本体の全面を被覆した導体層と、前記本体の外周面の導体層を螺旋状に切削したコイル部と、前記本体の両端部に設けた電極部と、前記コイル部を被覆した絶縁樹脂からなる外装部とを備え、前記本体の端面に前記絶縁樹脂で被覆していない非外装部を設け、前記電極部は、前記非外装部を介して前記導体層と電気的に接続させるとともに、この電極部の外周端は前記コイル部の少なくとも両端部に位置する螺旋状切削部上まで延長配置した構成である。

【0013】 上記構成により、電極部は、非外装部における導体層を介して本体の端面と電気的に接続させると

ともに、外装部を介してコイル部の少なくとも両端部の螺旋状切削部上まで配置しているので、電極部はコイル部上に配置することができ、コイル部の幅が電極部の形成幅に左右されず、インダクタンス値のカバーレンジを本体に対して最大限大きくすることができる。

【0014】本発明の請求項2記載の発明は、請求項1記載の発明において、コイル部の両端に位置する螺旋状切削部は、本体の端面に近接させた構成である。

【0015】上記構成により、本体に対して、螺旋状切削部によるコイル部を長く形成でき、インダクタンス値のカバーレンジを大きくすることができる。

【0016】本発明の請求項3記載の発明は、請求項1記載の発明において、導体層は、本体と接触する下層と、前記下層上に形成する上層とを有し、前記下層の材料は、銅にするとともに、前記上層の材料は、銅よりも耐酸化性のある物質とした構成である。

【0017】上記構成により、絶縁樹脂からなる外装部を導体層上に形成するとき等、導体層が酸化しやすいときに、上層の材料を下層の銅よりも耐酸化性のある物質としているので、電極部と接する上層との間で、酸化による剥離等を防止でき、接触抵抗を安定させて、信頼性を向上することができる。

【0018】本発明の請求項4記載の発明は、請求項3記載の発明において、耐酸化性のある物質として、金を用いた構成である。

【0019】上記構成により、Q特性の向上が図れ、信頼性をより向上することができる。

【0020】本発明の請求項5記載の発明は、請求項3記載の発明において、上層の厚さは、下層の厚さの1/20よりも小さくした構成である。

【0021】上記構成により、導体層の厚さを必要以上に厚くすることを抑制し、外径寸法を大きくすることができなく、小型化を図ることができる。

【0022】本発明の請求項6記載の発明は、請求項1記載の発明において、本体のコイル部上に配置した電極部の形成幅は、前記本体の全長の最外径寸法の1/3よりも小さくした構成である。

【0023】上記構成により、コイル部上に電極部が形成されることによって生じる特性値への悪影響を抑制することができる。

【0024】本発明の請求項7記載の発明は、請求項1記載の発明において、電極部の厚さは、前記電極部に対向する外装部の厚さの0.5倍から1.5倍の間の厚さとした構成である。

【0025】上記構成により、コイル部上に電極部が形成されることによって生じる特性値への悪影響を抑制することができるとともに、外装部および電極部の厚さを必要以上に厚くすることを抑制し、外径寸法を大きくすることができなく、小型化を図ることができる。

【0026】本発明の請求項8記載の発明は、請求項1

記載の発明において、本体は四角柱とした構成である。【0027】上記構成により、本体を形成しやすく、生産性を向上することができる。

【0028】(実施の形態1)以下、本発明の一実施の形態におけるチップインダクタについて、図面を参照しながら説明する。

【0029】図1は本発明の一実施の形態におけるチップインダクタの断面図、図2は同チップインダクタの斜視図、図3は同チップインダクタのコイル部上に配置した電極部近傍の図1のA部分の拡大断面図、図4は同チップインダクタのQ特性図である。

【0030】図1～図3において、本発明の一実施の形態におけるチップインダクタは、セラミックなどの絶縁材料からなる正四角柱の本体1と、この本体1の全周面を被覆した導体層2と、この導体層2をレーザ光等で溝切削した溝切部3と、この溝切部3を本体1の外周面に螺旋状に形成することにより構成したコイル部4と、本体1の両端部に有した導電性樹脂からなる電極部6と、コイル部4を被覆した絶縁樹脂からなる外装部5とを備えている。このとき、本体1の外径寸法は、端面7の縦横(T)が300μm、幅(W)が600μmになるようにしている。

【0031】また、本体1の端面7に絶縁樹脂を被覆していない非外装部を設け、電極部6は、非外装部における導体層2を介して本体1の端面7と電気的に接続させるとともに、外装部5を介してコイル部4の少なくとも両端に位置する溝切部3上まで配置している。このとき、コイル部4の両端に位置する溝切部3は、本体1の端面7までの寸法(S)を100μmと近接させてい

30 る。

【0032】さらに、導体層2は、本体1と接触する下層8と、この下層8上に形成する上層9とを有し、上層9の厚さを0.2μm、下層8の厚さを20μmとし、上層9の厚さは下層8の厚さの1/20よりも小さくするとともに、下層8の材料として、銅を用い、上層9の材料として、銅よりも耐酸化性のある物質の金を用いている。

【0033】そして、電極部6の厚さを15μm、外装部5の厚さを15μmとし、電極部6の厚さが、電極部4に対向する外装部5の厚さの0.5倍から1.5倍の間の厚さになるようにするとともに、本体1のコイル部4上に配置した電極部6の形成幅は150μmとし、本体1の端面7の最外径寸法(図2のWで600μm)の1/3よりも小さくした構成である。

【0034】上記構成のチップインダクタについて、以下その動作を説明する。

【0035】上記構成により、電極部6は、非外装部における導体層2を介して本体1の端面7と電気的に接続させるとともに、外装部5を介してコイル部4の少なくとも両端に位置する溝切部3上まで配置しているので、

50

電極部6はコイル部4上に配置することができ、コイル部4の幅が電極部6の形成幅に左右されず、インダクタンス値のカバーレンジを本体に対して最大限大きくすることができる。

【0036】特に、コイル部4の両端に位置する溝切部3は、本体1の端面7に近接させているので、本体1に対して、コイル部4の溝切部3を長く形成でき、インダクタンス値のカバーレンジをより大きくすることができる。

【0037】また、導体層2は、本体1と接觸する下層8と、この下層8上に形成する上層9とを有し、下層8の材料は、銅にするとともに、上層9の材料は、銅よりも耐酸化性のある物質としているので、絶縁樹脂からなる外装部5を導体層2上に形成するとき等（外装部5を形成する絶縁樹脂の硬化時の加熱や電極部6を形成する導電性樹脂の硬化時の加熱）、導体層2が酸化しやすいときに、上層9の材料を下層8の銅よりも耐酸化性のある物質としているので、電極部6と接する上層9との間で、酸化による剥離等を防止でき、接觸抵抗を安定させて、信頼性を向上することができる。このとき、耐酸化性のある物質として、金を用いることにより、図4に示すように、Q特性の向上が図れ、信頼性をより向上することができる。

【0038】さらに、導体層2は、上層9の厚さを、下層8の厚さの1/20よりも小さくしているので、導体層2の厚さを必要以上に厚くすることを抑制し、外径寸法を大きくすることなく、小型化を図ることができます。

【0039】その上、本体1のコイル部4上に配置した電極部6の形成幅は、本体1の端面7の最外径寸法（図2のW）の1/3よりも小さくしているので、コイル部4上に電極部6が形成されることによって生じる特性値への悪影響を抑制することができるとともに、電極部6の厚さは、電極部6に対向する外装部5の厚さの0.5倍から1.5倍の間の厚さとしているので、外装部5および電極部6の厚さを必要以上に厚くすることを抑制し、外径寸法を大きくすることなく、小型化を図ることができます。

【0040】そして、本体1は四角柱なので、製造時、形成しやすく、生産性を向上することができる。

【0041】このように本発明の一実施の形態によれば、コイル部4の幅が電極部6の形成幅に左右されず、本体1に対してコイル部4の溝切部3を長く形成でき、

インダクタンス値のカバーレンジを最大限大きくすることができます。

【0042】また、電極部6と接する導体層2の上層9との間で、酸化による剥離等を防止でき、接觸抵抗を安定させて、信頼性を向上することができるとともに、耐酸化性のある物質として、金を用いれば、Q特性の向上も図れ、信頼性をより向上することができる。

【0043】さらに、コイル部4上に電極部6が形成されることによって生じる特性値への悪影響を抑制することができる。

【0044】そして、外径寸法を大きくすることなく小型化を図ることもできるとともに、製造時における生産性も向上することができる。

【0045】なお、本発明の一実施の形態では、耐酸化性物質としては、金を用いたが、銀、白金などでもよい。

【0046】

【発明の効果】以上のように本発明によれば、電極部は、非外装部における導体層を介して本体の端面と電気的に接続させるとともに、外装部を介してコイル部を形成するための螺旋状切削部上まで配置しているので、電極部はコイル部上に配置することができ、コイル部の幅が電極部の形成幅に左右されず、インダクタンス値のカバーレンジを本体に対して最大限大きくしたチップインダクタを提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態におけるチップインダクタの断面図

【図2】同チップインダクタの斜視図

【図3】同チップインダクタのコイル部上に配置した電極部近傍の図1のA部分の拡大断面図

【図4】同チップインダクタのQ特性図

【図5】従来のチップインダクタの斜視図

【図6】同チップインダクタの本体の斜視図

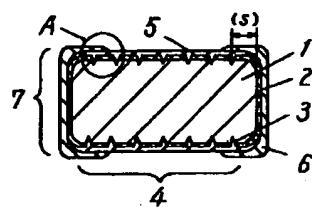
【図7】同チップインダクタの断面図

【符号の説明】

- 1 本体
- 2 導体層
- 3 溝切部
- 4 コイル部
- 5 外装部
- 6 電極部
- 7 端面

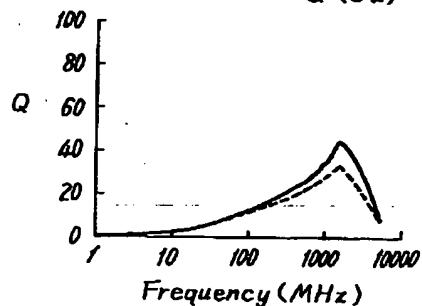
【図1】

1 本体 5 外装部
2 媒体層 6 電極部
3 溝切部 7 端面
4 コイル部

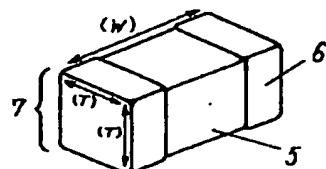


【図4】

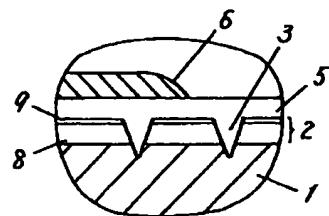
— Q (Au)
--- Q (Cu)



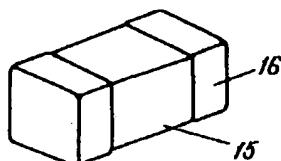
【図2】



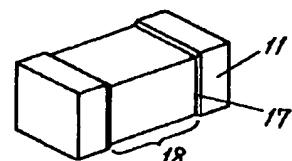
【図3】



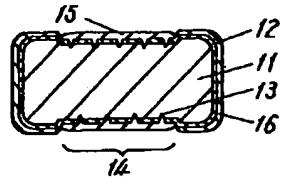
【図5】



【図6】



—【図7】—



フロントページの続き

(72)発明者 田岡 幹夫

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 中山 英明

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5E070 AA11 AB01 AB04 BA07 CB12
CC03 DA15 DB02 EA01